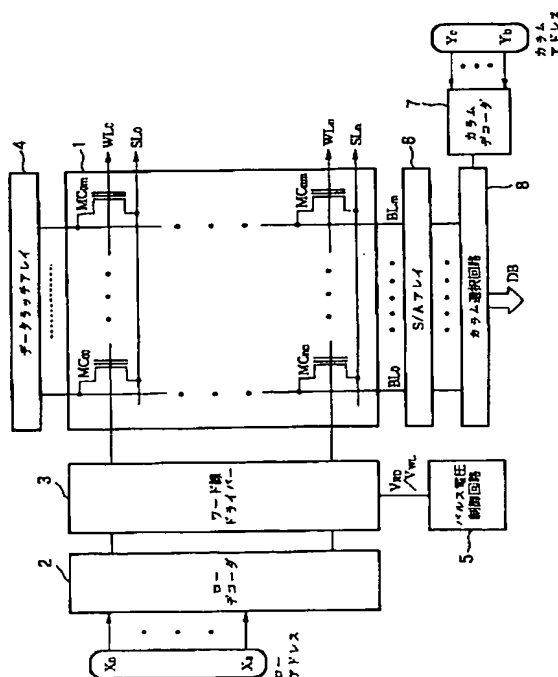


(11)特許出願公開番号

(43)公開日 平成11年(1999)8月10日



1

【特許請求の範囲】

【請求項 1】 周囲と電気的に絶縁されている電荷蓄積層に対して電荷の授受を行うことによりしきい値電圧を制御し、当該しきい値電圧に応じたデータを保持するメモリセルを有し、書き込み時に上記メモリセルの制御ゲートに所定の幅を有するパルス信号を印加し、当該パルス信号を印加した後上記メモリセルのしきい値電圧を判定するペリファイが行われる不揮発性半導体記憶装置であって、

書き込み時に上記メモリセルが接続されているビット線に第 1 の幅を有するパルス信号を印加し、上記制御ゲートへ印加される上記パルス信号の電圧の絶対値を印加回数に従って増加させ、上記メモリセルのしきい値電圧が上記所望値の近傍に達した後、上記メモリセルが接続される上記ビット線に印加される上記パルス信号の幅を上記第 1 の幅より狭い第 2 の幅に設定して、上記しきい値電圧が上記所望値に達するまで上記第 2 の幅を有するパルス信号を上記ビット線に印加する制御手段を有する不揮発性半導体記憶装置。

【請求項 2】 上記メモリセルに対して読み出しを行うセンスアンプを有し、書き込み後の上記ペリファイにおいて、上記制御手段は上記センスアンプによる読み出しの結果に応じて上記メモリセルのしきい値電圧が所望値に達したか否かを判定する請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】 上記制御手段は、上記選択メモリセルのしきい値電圧が上記所望値の近傍に達したと判断したとき、上記センスアンプの感度をそれまでの感度より高く設定する請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】 周囲と電気的に絶縁されている電荷蓄積層に対して電荷の授受を行うことによりしきい値電圧を制御し、当該しきい値電圧に応じたデータを保持する複数のメモリセルを行列状に配置させ、同一行のメモリセルの制御ゲートを同じワード線に接続し、同一列のメモリセルのドレインを同じビット線に接続してメモリセルアレイを構成し、選択されたメモリセルが接続された選択ワード線に所定の幅を有するパルス信号を印加し、選択されたメモリセルに接続されたビット線に第 1 の幅を有するパルス信号を印加することにより選択メモリセルのプログラムが行われる不揮発性半導体記憶装置であって、書き込み時に、上記選択ワード線に印加される上記パルス信号の電圧の絶対値を増加させて上記選択ワード線に印加し、上記選択メモリセルのしきい値電圧が上記所望値の近傍に達した後、上記ビット線に印加されるパルス信号の幅を上記第 1 の幅より狭い第 2 の幅に設定して、上記選択メモリセルのしきい値電圧が上記所望値に達するまで上記第 2 の幅を有するパルス信号を上記ビット線に印加する制御手段を有する不揮発性半導体記憶装置。

【請求項 5】 上記各ビット線の電位を検出するセンスアンプを有し、書き込み後のペリファイにおいて、上記制

2

御手段は上記センスアンプによる読み出しの結果に応じて上記選択メモリセルのしきい値電圧が所定値に達したか否かを判定する請求項 4 記載の不揮発性半導体記憶装置。

【請求項 6】 上記制御手段は、上記選択メモリセルのしきい値電圧が上記所望値の近傍に達したと判断したとき、上記センスアンプの感度をそれまでの感度より高く設定する請求項 5 記載の不揮発性半導体記憶装置。

【請求項 7】 上記書き込み動作により、上記選択メモリセルのしきい値電圧が少なくとも二つのしきい値電圧の内書き込みデータに応じて選択されたしきい値電圧に設定される請求項 4 記載の不揮発性半導体記憶装置。

【請求項 8】 上記同一列のメモリセルのドレインが同じサブビット線に接続され、複数本の上記サブビット線がそれぞれ選択ゲートを介して一本のビット線に接続される請求項 4 記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性半導体記憶装置、特に一つのメモリセルに 2 値以上のデータを記憶可能な多値メモリの書き込みおよび書き込み後のペリファイに関するものである。

【0002】

【従来の技術】 不揮発性半導体記憶装置、例えば、メモリセルの一括消去を行ういわゆるフラッシュメモリにおいては低電圧化、低消費電力化および多値化が進められている。多値化により、同じメモリセル数でも記憶容量の大幅な増加を実現でき、大容量化を実現しやすい利点がある。

【0003】 図 10 は、不揮発性半導体記憶装置の基本構成要素である不揮発性メモリセルの一例を示す簡略断面図である。図示のように、本例の不揮発性メモリセルは、周囲と電気的に絶縁され、注入された電荷を保持する電荷蓄積層を構成する浮遊ゲート（フローティングゲート）を有する、いわゆるフローティングゲート型メモリセルである。当該メモリセルは、例えば、p 型基板または p 型ウェル 1 に形成され、p 型基板または p 型ウェル 1 に、イオン注入により、n 型不純物を拡散させて形成したソース拡散層 2 およびドレイン拡散層 3 を有する。メモリセルの電圧バイアス状態に応じて、これらの不純物拡散層の間にチャネル領域が形成される。当該チャネル領域上方の基板（またはウェル）1 の表面に、例えば、酸化シリコン（ SiO_2 ）からなる薄いゲート絶縁膜 4 が形成され、その表面に例えば、ポリシリコン層が成膜され、当該ポリシリコン層によりフローティングゲート 5 が構成される。フローティングゲート 5 の表面に酸化シリコン膜、窒化シリコン膜からなる層間絶縁膜 6 が成膜され、さらにその表面に例えば、ポリシリコンおよび金属シリサイド、例えば、タングステンシリサイド（ WSi_2 ）からなる 2 層構造のポリサイド層が形成

3

され、当該ポリサイド層により制御ゲート（コントロールゲート）7が形成される。

【0004】なお、図示していないが、上記メモリセルの両側に例えば、シリコン酸化膜からなるサイドウォールが形成されるので、フローティングゲート5は、周囲と電氣的に絶縁状態となる。また、図10に示したメモリセル全体は、例えば、酸化シリコンからなる絶縁体で覆われ、コントロールゲート7は、コンタクトを介してメモリセルの上部に金属配線層からなるワード線に接続されている。また、ソース拡散層2、コンタクトを介して他の金属配線層からなるソース線に接続され、ドレイン拡散層3は、さらにコンタクトを介してさらに他の金属配線層で構成されたビット線に接続されている。

【0005】上述したメモリセルにより構成された不揮発性半導体記憶装置において、消去動作時に、ワード線にハイレベル消去電圧を印加し、ビット線をフローティング状態に設定し、ソース線に負の電圧を印加する。これにより、メモリセルのドレイン拡散層とソース拡散層との間にチャネル領域が形成し、FNトンネリングにより、当該チャネル領域からフローティングゲート5に電荷（電子）が注入される。注入した電子がフローティングゲート5により保持されるので、消去動作が行われたメモリセルのしきい値電圧が上昇する。

【0006】一方、書き込み動作時に、書き込みデータに応じて、選択されたメモリセルに接続された選択ワード線に負の電圧を印加し、選択されたメモリセルに接続された選択ビット線に正の電圧を印加し、ソース線をフローティング状態に保持する。これにより、選択メモリセルにおいて、FNトンネリングによりフローティングゲート5からドレイン拡散層3に向かって、フローティングゲート5内の電子が抽出される。電子が抽出されたメモリセルのしきい値電圧が低下する。

【0007】図11は、消去状態（Erase状態）および書き込み状態（Write状態）のメモリセルのしきい値電圧 V_{th} の分布を示している。図示のように、消去状態のメモリセルのしきい値電圧 V_{th} が高いレベルに分布し、逆に書き込み状態のメモリセルのしきい値電圧 V_{th} が低いレベルに分布する。ここで、例えば、消去状態の高いしきい値電圧 V_{th} をデータの“1”に対応させ、書き込み状態の低いしきい値電圧 V_{th} をデータの“0”に対応させると、メモリセルに対して消去または書き込みを行うことにより、データの“1”または“0”の何れかを記憶させることができる。さらに、フローティングゲート5にある電子が半永久的に保持されるので、メモリセルに対して新たな書き込みまたは消去が行われるまで、電源の供給状態に関わらず、記憶データが保持され、不揮発性記憶特性を有する。

【0008】上述した書き込みおよび消去により、メモリセルのしきい値電圧 V_{th} が2段階に設定することができる。これによって、一つのメモリセルに“1”または

4

“0”の1ビットのデータを記憶させることができる。メモリセルのしきい値電圧 V_{th} を二つ以上のレベルに設定し、例えば、4段階に設定することにより、一つのメモリセルには、2ビットのデータ“11”、“10”、“01”および“00”の内の何れかを記憶させることが可能であるいわゆる多値メモリを実現することができる。

【0009】例えば、図12に示すように、メモリセルのしきい値電圧 V_{th} を4つの領域に分布させ、それぞれの領域を2ビットのデータ“11”、“10”、“01”および“00”に対応させることにより、一つのメモリセルに2ビットのデータを記憶できる多値メモリを実現できる。

【0010】図12に示すようにメモリセルのしきい値電圧 V_{th} を複数の領域に分布させるためには、しきい値電圧の各分布範囲を2値メモリの場合より狭くする、即ちしきい値電圧の狭帯化を図ることが必要である。しきい値電圧の狭帯化を実現するために、これまでは種々の書き込み方法が提案されており、ISPP（Incremental Step Pulse Programing）法はその一つである。

【0011】ISPP法では、書き込みを複数回にわたって行う。書き込み回数の増加に伴って選択メモリセルへ印加する電圧のレベルを変化させていく。上述したように、書き込み時に、選択メモリセルに接続された選択ワード線に負の電圧を印加し、選択されたメモリセルに接続された選択ビット線に正の電圧を印加する。電圧の印加は複数回にわたって行われるので、選択ワード線および選択ビット線にパルス信号を印加することになる。図13は、ISPP法における選択ワード線へ印加される負のパルスの絶対値を示す波形図である。図示のように、選択ワード線へ印加されるパルス信号の電圧の絶対値は、パルス信号の印加する回数、即ち、書き込み回数の増加に伴って増加していく。なお、各回の書き込み毎にパルス電圧の絶対値の増加分 ΔV_{wLi} （ $i=1, 2, 3, \dots$ ）は、書き込み対象のメモリセルの電氣的な特性に応じて、等しくまたは異なるように設定される。

【0012】各回の書き込みパルス信号を印加したあと、ビット線に接続されているセンスアンプにより選択メモリセルに対して読み出しが行われ、当該読み出しの結果に応じて選択メモリセルのしきい値電圧が判定される。この動作をベリファイと呼ばれている。選択メモリセルのしきい値電圧が目標 V_{th} に達成するまで、書き込みパルス信号の印加と印加後のベリファイが繰り返して行われるので、書き込みの結果、選択メモリセルのしきい値電圧が目標 V_{th} またはそれに近い値に設定される。

【0013】このようなISPP法により、書き込み時に図10に示すメモリセルのフローティングゲート5とチャネル領域との間にあるゲート絶縁膜4にかかるストレスを緩和させながら、書き込み速度の向上および書き込み後のしきい値電圧の狭帯化を実現できる。

10

20

30

40

50

【0014】

【発明が解決しようとする課題】ところで、上述した従来の不揮発性メモリセルおよびその書き込み方法においては、書き込み後のメモリセルのしきい値電圧の分布範囲を狭くするために、各書き込みにおけるしきい値電圧の変動幅を小さくすることが必要である。しかし、一回の書き込みにおけるしきい値電圧の変動幅を小さくすると、しきい値電圧を目標値に達するまでに所要の書き込み回数が増加し、即ち書き込みの所要時間が増加し、書き込み速度が低下する。このため、従来の書き込み動作においては、しきい値電圧の狭帯化と書き込み速度は相反する関係にあり、多値メモリの場合には、しきい値電圧の狭帯化を図るため書き込み速度の低下が回避できないという不利益がある。

【0015】本発明は、かかる事情に鑑みてなされたものであり、その目的は、不揮発性メモリの書き込み速度を多段階に設定することにより、書き込み速度を低下させることなく、書き込み後のしきい値電圧の狭帯化を実現できる多値メモリを提供することにある。

【0016】

【課題を解決するための手段】上記目的を達成するため、本発明の不揮発性半導体記憶装置は、周囲と電気的に絶縁されている電荷蓄積層に対して電荷の授受を行うことによりしきい値電圧を制御し、当該しきい値電圧に応じたデータを保持するメモリセルを有し、書き込み時に上記メモリセルの制御ゲートに所定の幅を有するパルス信号を印加し、当該パルス信号を印加した後上記メモリセルのしきい値電圧を判定するペリファイが行われる不揮発性半導体記憶装置であって、書き込み時に上記メモリセルが接続されているビット線に第1の幅を有するパルス信号を印加し、上記制御ゲートへ印加される上記パルス信号の電圧の絶対値を印加回数に従って増加させ、上記メモリセルのしきい値電圧が上記所望値の近傍に達した後、上記メモリセルが接続される上記ビット線に印加される上記パルス信号の幅を上記第1の幅より狭い第2の幅に設定して、上記しきい値電圧が上記所望値に達するまで上記第2の幅を有するパルス信号を上記ビット線に印加する制御手段を有する。

【0017】また、より具体的に、本発明の不揮発性半導体記憶装置は、複数のメモリセルを行列状に配置させ、同一行のメモリセルの制御ゲートを同じワード線に接続し、同一列のメモリセルのドレインを同じビット線に接続してメモリセルアレイを構成し、選択されたメモリセルが接続された選択ワード線に所定の幅を有するパルス信号を印加し、選択されたメモリセルに接続されたビット線に第1の幅を有するパルスを印加することにより選択メモリセルのプログラムが行われる不揮発性半導体記憶装置であって、書き込み時に、上記選択ワード線に印加される上記パルス信号の電圧の絶対値を増加させて上記選択ワード線に印加し、上記選択メモリセルのし

きい値電圧が上記所望値の近傍に達した後、上記ビット線に印加されるパルス信号の幅を上記第1の幅より狭い第2の幅に設定して、上記選択メモリセルのしきい値電圧が上記所望値に達するまで上記第2の幅を有するパルス信号を上記ビット線に印加する制御手段を有する。

【0018】また、本発明では、好適には、上記各ビット線の電位を検出するセンスアンプを有し、書き込み後のペリファイにおいて、上記制御手段は上記センスアンプによる読み出しの結果に応じて上記選択メモリセルのしきい値電圧が所定値に達したか否かを判定し、上記制御手段は、上記選択メモリセルのしきい値電圧が上記所望値の近傍に達したと判断したとき、上記センスアンプの感度をそれまでの感度より高く設定する。

【0019】さらに、本発明では、好適には、上記書き込み動作により、上記選択メモリセルのしきい値電圧が少なくとも二つのしきい値電圧の内書き込みデータに応じて選択されたしきい値電圧に設定される。また、上記同一列のメモリセルのドレインが同じサブビット線に接続され、複数本の上記サブビット線がそれぞれ選択ゲートを介して一本のビット線に接続される、いわゆるDINOR型のメモリセルアレイが構成されている。

【0020】

【発明の実施の形態】図1は本発明に係る不揮発性半導体記憶装置の一実施形態を示す回路図であり、不揮発性半導体記憶装置の全体の構成を示すブロック図である。図示のように、本実施形態の不揮発性半導体記憶装置は、メモリセルアレイ1、ローデコーダ2、ワード線ドライバ3、データラッチアレイ4、パルス電圧制御回路5、センスアンプアレイ(S/Aアレイ)6、カラムデコーダ7およびカラム選択回路8により構成されている。

【0021】メモリセルアレイ1は、複数のメモリセル MC_{00} , ..., MC_{0m} , ..., MC_{n0} , ..., MC_{nm} が行列状に配置されて構成されている。各メモリセルは、図10に示すメモリセルと同じ構成を有するものとする。同一行にある各メモリセルのコントロールゲートは同じワード線 WL_i ($i=0, 1, \dots, n$)に接続され、同一列にあるメモリセルのドレイン拡散層は同じビット線 BL_j ($j=0, 1, \dots, m$)に接続されている。さらに、同一行にある各メモリセルのソース拡散層は、同じソース線 SL_i ($i=0, 1, \dots, n$)に接続され、各ソース線 SL_i は共通に接続されている。

【0022】各ビット線 BL_j は、データラッチアレイ4に接続され、さらに、センスアンプアレイ6に接続されている。データラッチアレイ4は、複数のラッチ回路により構成され、書き込み時に各ラッチ回路は、書き込みデータを格納して保持する。センスアンプアレイ6は、複数のセンスアンプにより構成され、読み出しおよび書き込み後のペリファイにおいては、それぞれのセンスアンプによって、当該センスアンプに接続されている

7

ビットの電位を検出し、検出されたビット線の電位に応じて、読み出し時に選択メモリセルの記憶データを読み出し、ベリファイのとき、書き込み対象となるメモリセルのしきい値電圧のレベルが検出される。

【0023】ローデコーダ2は、入力されたローアドレスX0, ..., Xaを受けて、当該ローアドレスにより指定されたワード線を選択し、ワード線ドライバー3に指示する。ワード線ドライバー3は、ローデコーダ2により指示されたワード線を選択ワード線として、読み出し時に選択ワード線に所定の読み出し電圧V_{RD}を印加し、書き込み時に、書き込み回数に応じた書き込み電圧V_{WL}を印加する。

【0024】パルス電圧制御回路5は、読み出し動作時に読み出し電圧V_{RD}を発生し、ワード線ドライバー3に供給し、書き込み動作時に書き込みの回数に応じてそれぞれ異なるレベルを持つ書き込み電圧V_{WL}を発生し、ワード線ドライバー3に供給する。例えば、書き込み時に、一回目の書き込みにおいて、書き込み電圧V_{WL0}を発生し、2回目の書き込みにおいて、一回目の書き込み電圧V_{WL0}よりΔV_{WL1}高い書き込み電圧V_{WL1}を発生し、ワード線ドライバー3に供給する。

【0025】上述したように、パルス電圧制御回路5においては電源電圧V_{CC}より高いレベルの高電圧あるいは負の電圧を発生する必要があるため、一般的にパルス電圧制御回路5には、昇圧回路が設けられ、昇圧回路により電源電圧V_{CC}以上のレベルを持つ正の高電圧を発生し、または負の昇圧回路により、負の電圧を発生する。

【0026】カラムデコーダ7は、カラムアドレスY0, ..., Ybに応じてカラム選択信号を発生し、カラム選択回路8に出力する。カラム選択回路8は、カラムデコーダ7からのカラム選択信号に応じて複数のビット線BL0, ..., BLmから所定のビット線を選択して、当該選択ビット線の電位をセンスアンプに入力し、センスアンプの出力信号をデータバスDBに出力する。

【0027】図2は、メモリセルアレイ1a、データラッチアレイ4aおよびセンスアンプアレイ6aのそれぞれの構成および接続関係を示す回路例である。図示のように、本例のメモリセルアレイ1aは、行列状に配置されているメモリセルMC00, MC01, MC02, MC03, MC10, MC11, MC12, MC13, MC20, MC21, MC22, MC23により構成されている。同一行に配置されているメモリセル、例えばメモリセルMC00, MC01, MC02, MC03のコントロールゲートは同一のワード線WL0に接続され、同一列に配置されているメモリセル、例えばメモリセルMC00, MC10, MC20は、同じビット線BL0に接続されている。また、同一行にあるメモリセルは、同じソース線に接続され、各行のソース線SL0, SL1, SL2は共通に接続されている。なお、実際のメモリセルアレイにおいては、メモリセルからなる行列の行数および列数がもっと多く、例えば、5

8

12行×512列のメモリセルからメモリセルアレイが構成され、それに応じて、ワード線数およびビット線の数もそれぞれ512本となる。

【0028】図2は、NOR型不揮発性メモリの例を示しているが、本発明はNOR型に限定されるものではなく、FNTトンネリングにより書き込みを行う他の不揮発性メモリ、例えばDINOR型不揮発性メモリ、即ち、同一列にあるメモリセルのドレイン拡散層が一本のサブビット線に接続し、複数のサブビット線SBL1~SBLkがそれぞれ選択ゲートを介して一本のビット線に接続する構造を有する不揮発性メモリおよび複数のメモリセルがビット線とソース線との間に直列接続されてなるNAND型不揮発性メモリなどにおいても、本発明の効果を損なうことなく適用することができる。

【0029】データラッチアレイ4aは、図示のように、ビット線の数に応じて4つのラッチ回路40, 41, 42および43により構成されている。これらのラッチ回路は、それぞれビット線BL0, BL1, BL2およびBL3に接続されている。センスアンプS/Aにより、それに接続されているビット線の電位が設定されるので、読み出しおよびベリファイのとき、選択ビット線を所定の電位にプリチャージし、センスアンプにより選択ビット線の電流を検出することにより、選択メモリセルのしきい値電圧を検出することができ、それに応じて読み出しのとき選択メモリセルの記憶データを出力し、ベリファイのとき書き込み対象メモリセルのしきい値電圧レベルを判定される。また、書き込みのとき書き込みデータに応じて、それぞれのビット線を所定の電位に設定し、さらにベリファイにより書き込み対象メモリセルのしきい値電圧の判別結果に応じて、選択ビット線へ印加するパルス信号の幅を制御する。

【0030】センスアンプアレイ6aは、図示のように、センスアンプ61, 62, 63および64により構成されている。各センスアンプはそれぞれビット線BL0, BL1, BL2およびBL3に接続されている。上述したようにセンスアンプにより、読み出しおよびベリファイのときビット線に流れる電流を検出し、検出結果に応じて、読み出し時に選択メモリセルの記憶データを出力し、ベリファイのときには書き込み対象メモリセルのしきい値電圧を検出して、検出結果に応じてセンスアンプの感度を制御するなどの機能を有する。なお、実際のセンスアンプアレイの構成は、図2に示す例に限られることなく、例えば、一つのセンスアンプにより、複数のビット線に対して電流を検出することができるように、複数のビット線をそれぞれ選択ゲートを通してセンスアンプに接続し、カラムデコーダなどにより、選択ビット線に接続されている選択ゲートのみを導通させることで、選択ビット線の電流のみを検出することができる。これによって、複数のビット線により一つのセンスアンプを共有することができ、回路構成の簡略化が図れ

る。

【0031】図3は、ラッチ回路の一構成例を示す回路図である。ここで、例えば、図2に示すデータラッチアレイ4aを構成する複数のラッチ回路40、41、42および43が同じ構成を有するものとして、図3はラッチ回路40のみを例示する。

【0032】図示のように、ラッチ回路40は、二つのデータラッチ410、411、複数のANDゲート401、402、403、404、405、408、インバータ406、ORゲート407および出力バッファ409により構成されている。書き込みのとき、書き込みデータに応じてデータラッチ410および411の初期状態、即ちラッチデータが設定される。例えば、メモリセルに対して書き込みを行う場合、即ち選択メモリセルのしきい値電圧 V_{th} を消去状態と異なる値に設定する場合に、データラッチ410および411にデータ“0”をラッチさせ、即ち、これらのデータラッチの出力端子をローレベルに設定する。逆に、選択メモリセルに書き込みを行わないとき、即ち、選択メモリセルのしきい値電圧 V_{th} を消去状態に保持させる場合に、データラッチ410および411にデータ“1”をラッチさせ、即ち、これらのデータラッチの出力端子をハイレベルに設定する。

【0033】このため、書き込みを行わないとき、データラッチ410および411の出力端子がハイレベルに保持されるので、ANDゲート408の出力端子がローレベルに保持される。これに応じて出力バッファ409により駆動されるビット線BL0が所定の信号レベルに保持され、当該ビット線BL0に接続されている選択メモリセルに対して書き込みが行われず、そのしきい値電圧 V_{th} が消去後のしきい値電圧 V_{th} に保持される。

【0034】書き込みを行う場合に、上述したようにデータラッチ410および411の出力端子がローレベルに保持される。これに応じて書き込み開始後、まずANDゲート405により書き込みパルス信号 S_{PW1} が選択され、ORゲート407およびANDゲート408を介して出力バッファ409に出力される。このため、パルス信号 S_{PW1} がハイレベルに保持されている間に、ビット線BL0が出力バッファ409により所定の電圧レベルに保持される。この間、書き込み対象メモリセルに対して書き込みが行われる。なお、このとき、インバータ406の出力信号TSAZがハイレベルに保持されている。

【0035】書き込み対象メモリセルのしきい値電圧 V_{th} が目標 V_{TH} の近傍に達したとき、例えば、センスアンプによりデータ変換パルス信号 S_{PD} が発生され、ANDゲート401および402に入力される。これに応じてANDゲート401および402の出力端子がハイレベルに設定される。このため、データラッチ411のラッチデータが“0”から“1”に変更し、その出力端子が

ハイレベルに設定される。データラッチの411の出力信号の変化に応じてインバータ406の出力信号TSAZもハイレベルからローレベルに切り換えられる。

【0036】それに応じてANDゲート403の出力信号、即ち書き込みパルス信号 S_{PW1} と S_{PW2} の論理積がANDゲート404を介してORゲート407に出力され、さらにANDゲート408を通して出力バッファ409に出力されるので、ANDゲート403の出力信号がハイレベルにとき、ビット線BL0が出力バッファ409により所定の電圧レベルに保持される。この間、書き込み対象メモリセルに対して書き込みが行われる。このように、ANDゲート403に入力された書き込みパルス信号 S_{PW1} 、 S_{PW2} は、例えば、周期が同じく位相がずれたパルス信号とすると、これらのパルスの位相のずれに応じてANDゲート403の出力信号のパルス幅が制御されるので、書き込みパルス信号 S_{PW1} 、 S_{PW2} の位相ずれを制御することにより、書き込み対象メモリセルに印加される書き込みパルスの幅が初期幅より狭く制御できるので、一回の書き込みによるメモリセルのしきい値電圧の変化量をより細かく制御することができ、しきい値電圧の狭帯化を実現可能である。

【0037】ベリファイにより、書き込み対象メモリセルのしきい値電圧 V_{th} が目標 V_{TH} に達したと判定されたとき、例えば、センスアンプにより二回目のデータ変換パルス信号 S_{PD} が出力される。これに応じてデータラッチ411のラッチデータが“0”から“1”に切り換えられ、データラッチ411の出力端子がハイレベルに設定されるので、ANDゲート408の出力端子がローレベルに設定され、出力バッファ409により、ビット線BL0が所定のレベルに保持され、書き込みが終了する。

【0038】上述のように、ラッチ回路40に設けられている二つのデータラッチ410、411のラッチデータに応じて書き込み動作が制御される。書き込み開始したとき、データラッチ410および411とともにデータ“0”がラッチされ、これに応じて書き込みパルス信号 S_{PW1} が選択され、その幅に応じて書き込みが行われる。書き込み対象メモリセルのしきい値電圧 V_{th} が目標 V_{TH} の近傍に達したとき、センスアンプによりデータ変換パルス信号 S_{PD} が出力され、これに応じてデータラッチ410のラッチデータが“0”から“1”に切り換えられ、これに応じて書き込みパルス信号 S_{PW1} 、 S_{PW2} の論理積に応じて書き込みが継続される。なお、このとき、実質的に書き込みパルスの幅が狭まったので、一回の書き込みによるしきい値電圧 V_{th} の変化量が小さく制御され、しきい値電圧 V_{th} の細かい制御が実現できる。メモリセルのしきい値電圧 V_{th} が目標 V_{TH} に達したとき、センスアンプにより二回目のデータ変換パルス信号 S_{PD} が出力されるので、これに応じてデータラッチ410および411のラッチデータがともに“1”に切り換

11

えられるので、出力バッファ409の出力端子が所定のレベルに保持され、書き込み動作が終了する。

【0039】図4はセンスアンプの一構成例であるセンスアンプ60aの構成を示している。図示のように、本例のセンスアンプ60aは、入力部61、リファレンス部62、コンパレータ63、64、65および出力部66により構成されている。

【0040】入力部61において、nMOSトランジスタN1、N2、N3、N4からなる選択ゲートを介して、4本のビット線BL0、BL1、BL2、BL3がそれぞれノードND0に接続されている。nMOSトランジスタN1、N2、N3、N4のゲートにそれぞれカラム選択信号Y20、Y21、Y22、Y23が印加される。なお、カラム選択信号Y20、Y21、Y22、Y23は例えば、図1に示すカラムデコーダ7により発生され、ビット線を選択するとき、カラムデコーダ7によりカラム選択信号Y20、Y21、Y22、Y23のうち一つのみがハイレベルに設定され、他の信号がローレベルに設定されるので、ビット線BL0、BL1、BL2、BL3のうち一本のみが選択され、センスアンプのノードND0に接続される。センスアンプにより、選択されたビット線に流れる電流の量を検出し、それに応じて読み出し時に選択メモリセルの記憶データを出力し、ベリファイのとき書き込み対象メモリセルのしきい値電圧を判定する。

【0041】図4において、クロック信号CLK1はセンスアンプ60aの検出結果を出力するタイミングを制御する。例えば、クロック信号CLK1がハイレベルのとき、センスアンプ60aの出力部66において、トランスファゲートTG1がオフセット状態に保持され、センスアンプの出力端子がハイインピーダンス状態になる。一方、クロック信号CLK1がローレベルのとき、出力部66のトランスファゲートTG1がオン状態となり、センシングの結果がトランスファゲートTG1を通して出力される。

【0042】クロック信号CLK2はセンスアンプの動作状態を制御する。例えば、クロック信号CLK2がローレベルのとき、センスアンプがプリチャージを行い、入力部61のノードND0およびリファレンス部62のノードND3をそれぞれ所定の電位にプリチャージする。そして、プリチャージ後、入力部61において選択されたメモリセルの記憶データに応じてビット線に所定の電流が流れるので、ノードND0の電位が選択メモリセルの記憶データに応じて設定される。リファレンス部62においては、リファレンスビット線BLRに接続されているリファレンスセルに応じて、リファレンスビット線BLRに所定のリファレンス電流が流れるので、ノードND3の電位が設定される。クロック信号CLK2がハイレベルのとき、入力部61、リファレンス部62、コンパレータ63、64および65に電源電圧Vcc

12

が供給されないので、センスアンプ60aが非動作状態に設定される。

【0043】VCC_DET信号は、複数の電源電圧、例えば、5.0Vおよび3.3Vの二つの電源電圧に対応できるように設けられた切り換え信号である。例えば、電源電圧Vccが5.0Vのとき、VCC_DET信号はハイレベルに保持され、電源電圧Vccが3.3Vのとき、VCC_DET信号はローレベルに保持される。

【0044】例えば、VCC_DET信号がローレベルのとき、入力部61およびリファレンス部62において、トランジスタN10、N17がともにオフ状態に設定され、VCC_DET信号がハイレベルのとき、入力部61およびリファレンス部62において、トランジスタN10、N17がともにオン状態に設定されるので、入力部61においては、トランジスタN6はトランジスタN7と並列に接続され、リファレンス部62においてはトランジスタN14はトランジスタN13と並列に接続される。これによって、異なる電源電圧Vccで動作するときでも、センスアンプ60aにより、選択ビット線をプリチャージする場合に、ビット線のプリチャージ電位をほぼ一定のレベルに保持することが可能となる。

【0045】以下、クロック信号CLK2がハイレベルおよびローレベルのそれぞれの状態において、入力部61、リファレンス部62、コンパレータ63、64および65それぞれの動作について説明する。図4に示すように、クロック信号CLK2がハイレベルのとき、入力部61においてトランジスタP5がオフ状態に設定され、トランジスタN5がオン状態に設定される。このためトランジスタN8、N9のゲートが接地電位GNDに保持され、これらのトランジスタがオフ状態に保持される。この結果、入力部61の出力ノードND1がフローティング状態に設定される。同様に、クロック信号CLK2がハイレベルのとき、リファレンス部62の出力ノードND2もフローティング状態に保持される。また、コンパレータ65の出力側に接続されているトランジスタN27がオン状態にあるので、信号RSDがローレベル、即ち接地電位GNDレベルに保持される。上述のように、クロック信号CLK2がハイレベルのとき、センスアンプはセンシング動作を行わない、即ち、非動作状態に保持される。

【0046】クロック信号CLK2のローレベルのとき、入力部61において、トランジスタP5がオン状態に設定され、トランジスタN5がオフ状態に設定される。このとき、トランジスタN8とN9のゲートに所定の駆動電圧が印加され、オン状態となるので、ノードND0は、トランジスタN8および直列に接続されているトランジスタP7、N9により、所定の電位にプリチャージされる。プリチャージ終了したあと、カラム選択ゲートN1、N2、N3、N4により選択されたビット線がノードND0に接続され、当該選択ビット線に接続さ

れている選択メモリセルの記憶データに応じてビット線に流れる電流が変化し、ノードND0の電位が選択ビット線の電流に応じて設定される。さらに、ノードND0の電位に応じて入力部61の出力ノードND1の電位は設定される。

【0047】リファレンス部62においては、クロック信号CLK2がローレベルのとき、トランジスタP9がオン状態、トランジスタN15がオフ状態にそれぞれ設定される。トランジスタN12および直列に接続されているトランジスタP8とN11を介して、ノードND3は電源電圧V_{cc}によりチャージされる。一方、ゲートが電源電圧V_{cc}に固定されているトランジスタN16を介してノードND3はリファレンスビット線BLRに接続されている。リファレンスビット線BLRにはリファレンスセルが接続され、当該リファレンスセルは、例えば、メモリセルアレイを構成するメモリセルと同じ構成を持ち、所定のデータが書き込まれている。このため、リファレンスセルの書き込みデータに応じてリファレンス部62の出力ノードND2の電位が設定される。

【0048】コンパレータ63、64および65において、クロック信号CLK2がハイレベルのとき、それぞれの電源電圧V_{cc}側に接続されているトランジスタP11、P14およびP17がオフ状態に保持されるので、これらのコンパレータに電源電圧V_{cc}が供給されず、コンパレータが非動作状態にある。逆に、クロック信号CLK2がローレベルに保持されているとき、各コンパレータに電源電圧V_{cc}が供給されるので、コンパレータ63、64および65が動作状態にある。

【0049】コンパレータ63により、入力部61の出力ノードND1とリファレンス部62の出力ノードND2の電位が比較され、比較結果に応じて信号がコンパレータ65のトランジスタN26のゲートに印加される。同様に、コンパレータ64により、入力部61の出力ノードND1とリファレンス部62の出力ノードND2の電位が比較され、比較結果に応じて信号がコンパレータ65のトランジスタN24のゲートに印加される。

【0050】図示のようにコンパレータ63と64は、対称な回路構成を有するので、入力部61の出力ノードND1とリファレンス部62の出力ノードND2との電位差に応じて、互いに相反する比較結果信号が出力される。コンパレータ63と64の出力信号がさらにコンパレータ65により比較される結果、入力部61の出力ノードND1とリファレンス部62の出力ノードND2の電位差が増幅され、増幅された電位差RSDが比較の結果としてトランスファゲートTG1の入力側に出力される。

【0051】クロック信号CLK1に応じて、出力部66のトランスファゲートTG1の導通/非導通状態が制御され、これに応じてコンパレータ65の出力信号RSDがラッチされ、または出力端子OUTに出力される。

例えば、クロック信号CLK1がハイレベルのとき、トランスファゲートTG1が非導通状態にあり、出力端子OUTがハイインピーダンス状態にある。一方、クロック信号CLK1がローレベルのとき、トランスファゲートTG1が導通状態にあり、コンパレータ65の出力信号RSDがトランスファゲートTG1を通して出力端子OUTに出力される。

【0052】上述のように、図4に示すセンスアンプ60aにおいて、クロック信号CLK2により、センスアンプの動作状態が制御される。クロック信号CLK2がハイレベルのとき、センスアンプが非動作状態に保持され、その出力信号がローレベルに保持される。クロック信号CLK2がローレベルのとき、センスアンプが動作状態に保持される。この場合、カラム選択ゲートにより選択されたビット線に接続された選択メモリセルのしきい値電圧に応じて、出力ノードND1が電位さらに設定される。一方、リファレンス部62において入力ノードND3に接続されたリファレンスセルの記憶データに応じて出力ノードND2の電位が設定される。

【0053】コンパレータ63、64および65により、ノードND1とノードND2の電位差が増幅され、増幅の結果信号RSDが出力される。クロック信号CLK1によりコンパレータ65からの増幅信号RSDが保持または出力される。クロック信号CLK1がハイレベルのとき、出力部66においてトランスファゲートTG1が非導通状態にあり、出力端子OUTがハイインピーダンス状態に保持される。一方、クロック信号CLK1がローレベルのとき、出力部66のトランスファゲートTG1が導通状態にあり、コンパレータ65の出力信号RSDが出力端子OUTに出力される。

【0054】さらに、センスアンプ60aは、データラッチアレイにあるラッチ回路からの制御信号TSAZに応じて、センシング感度が切り換えられる。図4に示すように、制御信号TSAZが入力部61のトランジスタP3のゲートに印加される。トランジスタP3とトランジスタP4とは電源電圧V_{cc}と出力ノードND1との間に直列に接続され、入力部61の負荷回路を構成している。制御信号TSAZのレベルに応じてトランジスタP3のオン状態が制御されるので、入力部61の負荷が制御信号TSAZにより設定され、これに応じてセンスアンプのセンシング感度が制御される。なお、トランジスタP1のゲートに印加される信号VEZBに応じて、トランジスタP1のオン/オフ状態が制御される。このため、信号VEZBのレベルを制御することにより、入力部61の負荷を調整できるので、例えば、センスアンプ60aの動作マージンを微調整することができる。

【0055】上述した構成を有する不揮発性メモリにおいて、書き込みのとき書き込み対象メモリセルのしきい値電圧V_{th}が目標V_{TH}の近傍に達するまで、電圧が増加する書き込みパルス信号が印加され、しきい値電圧V_{th}

15

が目標 V_{TH} の近傍に達したとき、幅が狭まった書き込みパルス信号が印加されるので、書き込み毎にしきい値電圧 V_{th} の変化量が小さく制御される。これに応じて、しきい値電圧 V_{th} が目標 V_{TH} 近傍に達するまで、書き込み毎にしきい値電圧 V_{th} の変化量を大きく設定でき、目標 V_{TH} 近傍に達したあと書き込み毎にしきい値電圧 V_{th} の変化量が小さく制御できるので、書き込み速度を低下させることなく、しきい値電圧の狭帯化を実現できる。

【0056】図5は、本実施形態の不揮発性メモリの書き込み動作によるメモリセルのしきい値電圧 V_{th} の変化を示すグラフであり、本発明の不揮発性メモリにおける書き込み動作の特徴を示す図である。同図 (a) に示すように、従来の ISPP 法において、書き込み毎に書き込み対象メモリセルのしきい値電圧の変化量 ΔV_{th} を常に一定に保つことにより、メモリセルのゲート酸化膜のストレスを一定に保ちながら書き込み時間の短縮が図れる。本発明では、メモリセルのしきい値電圧 V_{th} が目標 V_{TH} 近傍値に達したあと、書き込みパルス信号の幅を狭めることにより書き込み毎のしきい値電圧の変換量 ΔV_{th} を小さくするので、しきい値電圧の分布範囲を狭くできる。即ち、しきい値電圧の狭帯化を実現できる。

【0057】しかし、図5 (a) に示すように、単にしきい値電圧 V_{th} が目標 V_{TH} 近傍に達したあとの書き込みパルス幅を狭めるだけでは、書き込み時間が増加してしまうので、同図 (b) に示すように、全体の書き込み時間を短縮させるために、しきい値電圧 V_{th} が目標 V_{TH} 近傍に達するまでの書き込み毎のしきい値電圧の変化量 ΔV_{th} を大きく設定する。即ち、通常の ISPP 法の書き込みパルス信号より幅がやや広い、または電圧がやや高いパルス信号をメモリセルに印加する。このため、しきい値電圧 V_{th} が目標 V_{TH} 近傍に達するまでの時間が通常の ISPP 法により短縮され、全体の書き込み時間が短縮可能である。

【0058】図6は、本実施形態における書き込みパルス信号 S_{PW} の波形を示す波形図である。同図 (a) は、書き込み対象メモリセルのしきい値電圧 V_{th} が目標 V_{TH} 近傍に到達するまでの書き込みパルス信号を示している。この場合のパルス幅は T_w である。同図 (b) および (c) は、しきい値電圧 V_{th} が目標 V_{TH} 近傍に達した後の書き込みパルス信号を示している。図示のように、この場合のパルス幅が到達するまでのパルス幅の半分または $1/3$ に設定される。このため、書き込み毎にメモリセルのしきい値電圧の変化量 ΔV_{th} が小さく制御され、しきい値電圧の狭帯化を実現できる。

【0059】なお、パルス幅の変更は、例えば、図3に示すデータラッチアレイにある各ラッチ回路により実現される。図3の構成例では、前記のように入力された二つの書き込みパルス信号 S_{PW1} 、 S_{PW2} の位相差を制御することにより、これらのパルス信号の論理積で書き込みパルス幅を制御することが可能である。

16

【0060】図7は、本実施形態の不揮発性メモリの書き込み時の信号を示す波形図である。以下、図7を参照しながら本実施形態の不揮発性メモリの書き込み動作を説明する。時間 t_1 と t_2 の間に、アドレス信号およびページデータが読み込まれる。また、ビット線毎に設けられたラッチ回路にある二つのデータラッチの保持データが書き込み状態に応じて設定される。例えば、書き込みを行う場合に、二つのデータラッチのラッチデータがともに“0”に設定され、書き込みを行わない場合に、ラッチデータがともに“1”に設定される。なお、図7の場合に、ラッチデータがともに“0”に設定される。即ち、書き込みを行うように設定される。

【0061】時間 t_2 と t_3 の間に、プログラム/ベリファイ信号に従って、書き込み対象メモリセルに対して、書き込みパルス信号が印加され、一回の書き込みが行われる。なお、図7では、選択ワード線に印加された書き込みパルス信号の絶対値を示している。例えば、DINOR型不揮発性メモリの場合に、選択ワード線に負のパルス信号が印加され、選択ビット線に正のパルス信号が印加される。選択メモリセルにおいてワード線電圧とビット線電圧の差および当該電圧差の継続時間に応じて、しきい値電圧 V_{th} が変化する。当該しきい値電圧 V_{th} が変化分は、一回の書き込みによるメモリセルのしきい値電圧の変化量 ΔV_{th} である。

【0062】書き込み後に、時間 t_3 と t_4 との間に、ベリファイが行われる。この場合に、選択ワード線に読み出し電圧 V_R が印加される。センスアンプにより、選択ビット線の電流が検出され、検出結果に応じてデータラッチのデータが設定され、それに応じて次の書き込み動作が制御される。例えば、メモリセルのしきい値電圧が目標 V_{TH} 近傍に達していない場合、データラッチがそのままに保持され、逆にしきい値電圧が目標 V_{TH} 近傍に達した場合に、二つのデータラッチ内、データラッチ2の保持データが“0”から“1”にセットされる。さらに、これに伴いセンスアンプのセンシング感度が切り換えられ、最初の感度より高く設定される。

【0063】このように、書き込み後のベリファイにより、書き込み対象メモリセルのしきい値電圧が検出され、検出結果に応じて次の書き込みが制御されるので、しきい値電圧が目標 V_{TH} に達するまで、書き込みおよびベリファイが繰り返して行われる。また、書き込みの回数の増加に伴い、メモリセルに印加されるパルス電圧の絶対値が増加していく。

【0064】時間 t_8 と t_9 の間に、ベリファイが行われ、その結果書き込み対象メモリセルのしきい値電圧 V_{th} が目標 V_{TH} 近傍に達したと判定されるので、データラッチ2のデータが“1”にセットされる。これに応じて、次の書き込み、即ち、時間 t_9 と t_{10} の間においては、ラッチ回路により選択ビット線に印加されるパルス信号の幅が狭められた。例えば、パルス幅が直前の

17

幅の半分または $1/3$ に設定される。これにより、書き込み毎にメモリセルのしきい値電圧の変化量 ΔV_{th} が小さくなり、しきい値電圧を高精度の制御することができる。

【0065】書き込み対象メモリセルのしきい値電圧が目標 V_{th} に達するまで、上述した書き込みおよびその後のペリファイが繰り返して行われる。そして、図示のように、時間 t_{11} と t_{12} との間に、ペリファイの結果により、メモリセルのしきい値電圧 V_{th} が目標 V_{th} に達したと判定され、これに応じてデータラッチ 1 のデータも “1” にセットされる。これによって、書き込み動作が終了する。

【0066】図 8 は、本発明の不揮発性メモリに適用した書き込み方法と従来の書き込み方法を比較するための図である。図示のように、本発明による書き込みでは、通常のメモリセルまたは遅いメモリセルの何れでもほぼ同じ時間で目標 V_{th} に到達させることができる。さらに、パルスが変化しない書き込みに較べて、何れの場合においては書き込み時間の短縮を実現できる。

【0067】図 9 は、ISPP 法および本発明の書き込みによるしきい値電圧 V_{th} の分布を示している。同図 (a) に示すように、ISPP 法による書き込みでは、書き込み毎にしきい値電圧の変化量 ΔV_{th} がほぼ一定に設定されているので、書き込み後しきい値電圧 V_{th} の分布幅がやや広くなる。これに対して、本発明の書き込みでは、同図 (b) に示すように、しきい値電圧 V_{th} が目標 V_{th} 近傍に達した後、書き込み毎にしきい値電圧の変化量 ΔV_{th} が小さく設定されるので、しきい値電圧 V_{th} をより細かく制御できる。この結果、本発明では、書き込み後のしきい値電圧 V_{th} の分布幅が ISPP 法による書き込みに較べて狭くなり、しきい値電圧の狭帯化が実現できる。

【0068】

【発明の効果】以上説明したように、本発明の不揮発性半導体記憶装置によれば、書き込み速度を低下させることなく、しきい値電圧の狭帯化を実現できる利点がある。

【図面の簡単な説明】

*

18

* 【図 1】本発明に係る不揮発性半導体記憶装置の一実施形態を示す回路図である。

【図 2】メモリセルアレイ、データラッチアレイおよびセンスアンプアレイの構成例を示す回路図である。

【図 3】ラッチ回路の構成を示す回路図である。

【図 4】センスアンプの構成を示す回路図である。

【図 5】書き込みによるしきい値電圧の変化を示す図である。

【図 6】書き込みパルス信号を示す波形図である。

【図 7】本発明の書き込み動作を示す波形図である。

【図 8】本発明による書き込みと従来の書き込みとを比較するための図である。

【図 9】本発明と ISPP 法による書き込み後のしきい値電圧の分布を示す図である。

【図 10】不揮発性メモリセルの構成を示す簡略断面図である。

【図 11】消去状態および書き込み後のメモリセルのしきい値電圧の分布を示す図である。

【図 12】多値メモリにおけるしきい値電圧の分布を示す図である。

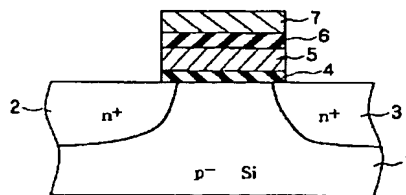
【図 13】ISPP 法における書き込みパルスの波形を示す図である。

【図 14】書き込みにおけるしきい値電圧の変化量と分布範囲の関係を示す図である。

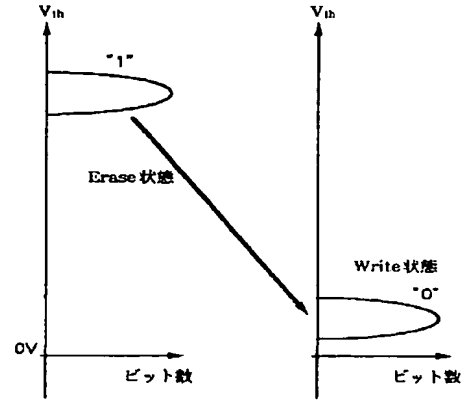
【符号の説明】

1…メモリセルアレイ、2…ローデコーダ、3…ワード線ドライバ、4、4a…データラッチアレイ、5…パルス電圧制御回路、6、6a…センスアンプアレイ、7…カラムデコーダ、8…カラム選択回路、BL0、BL1、…、BLm…ビット線、WL0、WL1、…、WLn…ワード線、MC00、…、MC0m、…、MCn0、…、MCnm…メモリセル、40、41、42、43…ラッチ回路、60、60a、61、62、63…センスアンプ、61…センスアンプの入力部、62…センスアンプのリファレンス部、63、64、65…センスアンプのコンパレータ、66…センスアンプの出力部、Vcc…電源電圧、GND…接地電位。

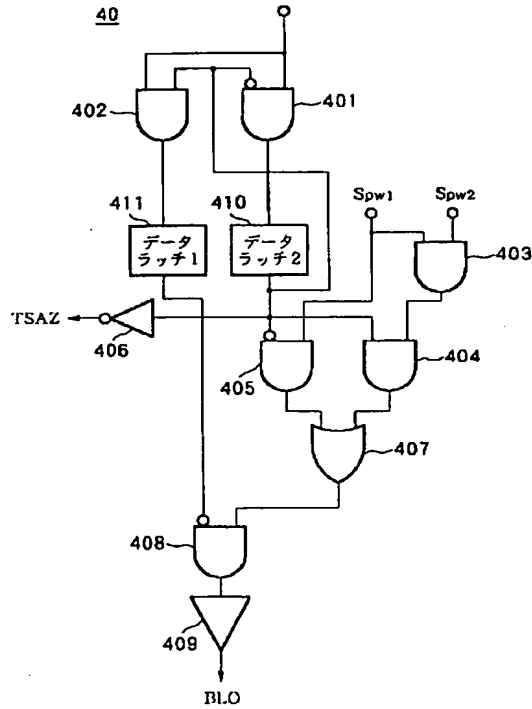
【図 10】



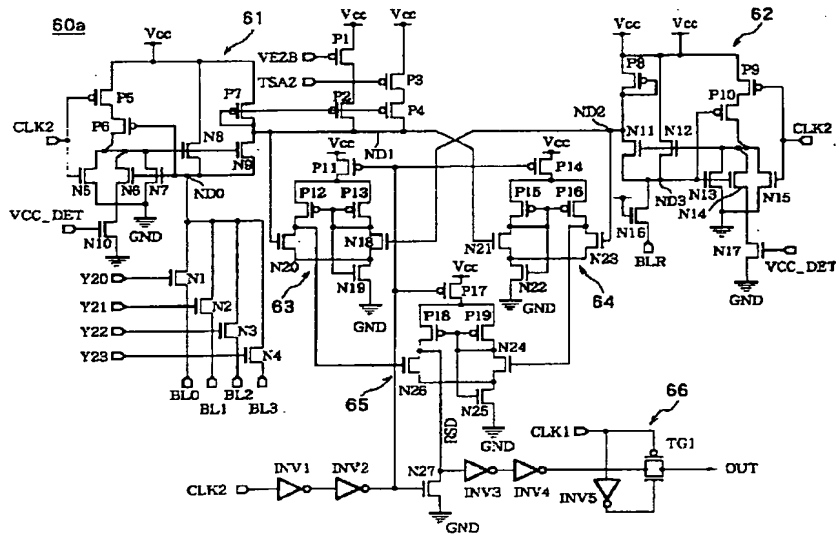
【圖 1 1】



【図 3】

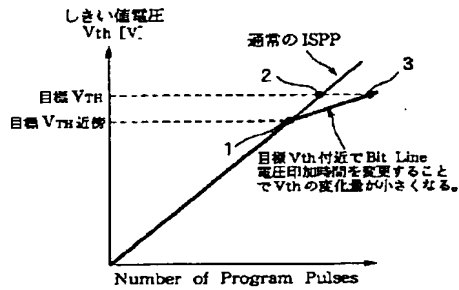


【図4】

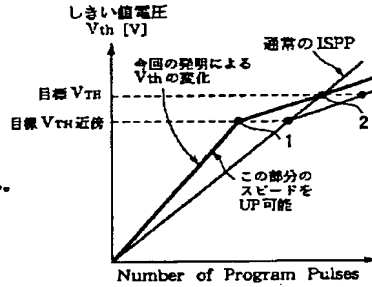


【図5】

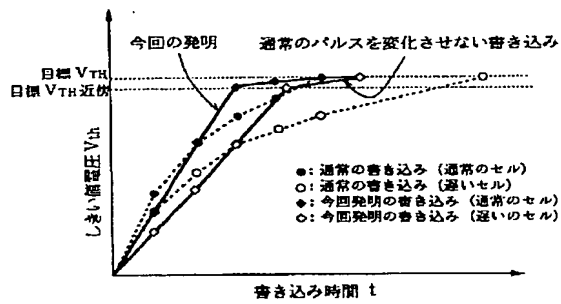
(a)



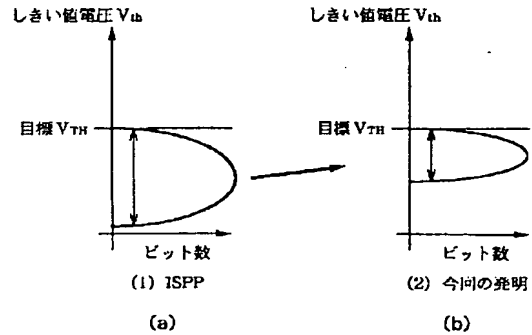
(b)



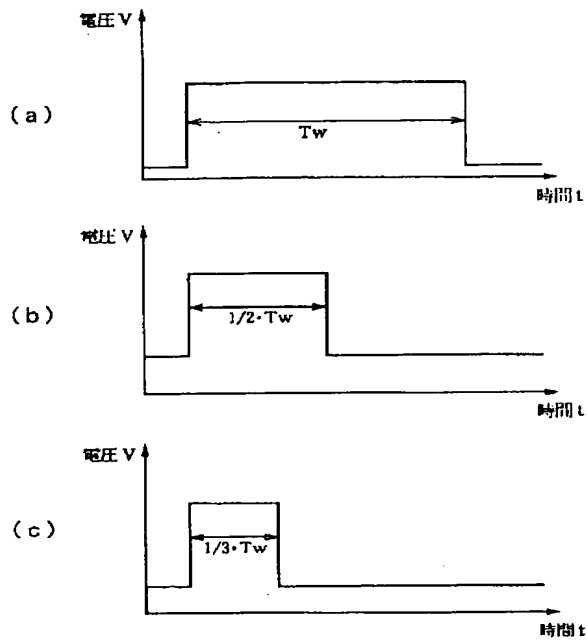
【図8】



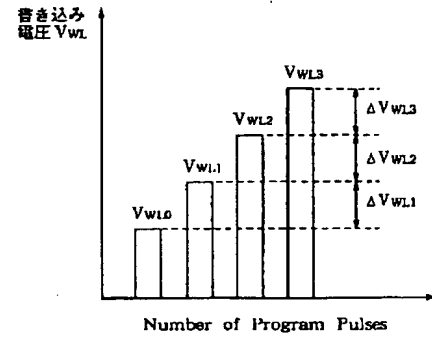
【図9】



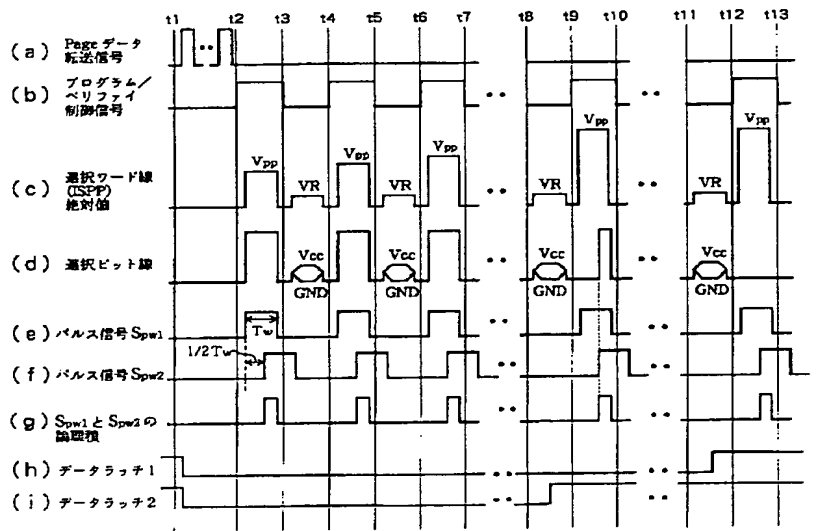
【図 6】



【図 13】



【図 7】



【図 1 4】

